

DERWENT-ACC-NO: 1989-275387

DERWENT-WEEK: 198938

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Doping impurities into semiconductor IC wafer
- by forming plane plasma region between plasma beam
source and plasma electrode NoAbstract Dwg 1/6

PATENT-ASSIGNEE: CITIZEN WATCH CO LTD [CITL]

PRIORITY-DATA: 1988JP-0025519 (February 5, 1988)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 01201917 A	August 14, 1989	N/A
003 N/A		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 01201917A	N/A	1988JP-0025519
February 5, 1988		

INT-CL (IPC): H01L021/26, H01L027/04

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: DOPE IMPURE SEMICONDUCTOR IC WAFFER FORMING PLANE PLASMA REGION

PLASMA BEAM SOURCE PLASMA ELECTRODE NOABSTRACT

ADDL-INDEXING-TERMS:

INTEGRATE CIRCUIT

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C02B;

EPI-CODES: U11-C02B2; U11-C02J5;

⑱ 公開特許公報 (A) 平1-201917

⑲ Int.Cl.⁴H 01 L 21/265
21/22
// H 01 L 27/04

識別記号

府内整理番号

⑳ 公開 平成1年(1989)8月14日

F-7738-5F
E-7738-5F
C-7514-5F

審査請求 未請求 請求項の数 1 (全6頁)

㉑ 発明の名称 半導体集積回路装置における不純物導入方法

㉒ 特願 昭63-25519

㉓ 出願 昭63(1988)2月5日

㉔ 発明者 中田俊和 埼玉県所沢市大字下富字武野840 シチズン時計株式会社
技術研究所内㉕ 発明者 戸井田孝志 埼玉県所沢市大字下富字武野840 シチズン時計株式会社
技術研究所内

㉖ 出願人 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号

明細書

1. 発明の名称

半導体集積回路装置における不純物導入方法

2. 特許請求の範囲

プラズマを形成するためのビーム状のプラズマを発生させるプラズマビーム源と該プラズマビーム源に対して正の電圧が印加されかつ前記プラズマビーム源に対して対向配置する対向電極と前記プラズマを薄い板状のプラズマ領域に整形する手段と前記対向電極に対して負の電圧が印加されかつ前記プラズマ領域と平行に配置する試料電極とドーピングガスを導入するためのガス導入口と排気系とを備えた真空室内の前記試料電極上に半導体基板を配置して、前記排気系により前記真空室内を真空排気後、前記プラズマビーム源と対向電極との間に板状のプラズマ領域を形成し、前記ガス導入口からドーピングガスを前記真空室内に導入して、さらに前記半導体基板に所定の電圧を印加することにより前記半導体基板に不純物を導入することを特徴とする半導体集積回路装置における

る不純物導入方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体基板に不純物を導入する方法、とくに半導体基板に形成した溝の側壁および底面に不純物を導入する方法に関する。

〔従来技術およびその課題〕

半導体メモリとくに1メガビット以上の記憶容量をもつダイナミック・ランダム・アクセス・メモリ(D R A M)のメモリセル構造として、積み上げ容量型、あるいは例えれば特開昭62-272561号公報に記載されているような半導体基板に垂直に形成した溝の側壁および底面を容量とするいわゆるトレンチキャバシタとの2つの構造がある。

このトレンチキャバシタを第4図の素子断面図を用いて説明する。

例えばn型の半導体基板16に溝52を形成して、この溝52の側壁および底面に容量値増加とトレンチキャバシタ間分離とを目的として、n型の高不純物濃度を有する不純物層46を形成する。

この高不純物濃度の不純物層46上の溝52の側壁および底面に、誘電膜として絶縁膜48を形成して、さらにこの溝52の中に不純物を含んだ多結晶シリコン膜50を埋め込む。すなわち不純物層46と絶縁膜48と多結晶シリコン膜50とからなる情報保持用のトレンチキャバシタを構成する。

このトレンチキャバシタは1.6メガビットDRAMでは、溝開口部の大きさが0.5μm以下、溝深さが5μm前後になるものと予想されている。溝開口部の大きさに対する溝深さの比すなわちアスペクト比が大きくなると、溝の側壁および底面に不純物を導入することが困難になる。

そこで例えば第33回半導体集積回路技術シンポジウム講演論文集(1987年12月3日)の第31ページから第36ページに記載されているように、イオン注入装置を用いて溝の側壁および底面に不純物を導入する方法が提案されている。これは溝のアスペクト比に応じて半導体基板を傾け、さらに半導体基板を回転させる回転イオン注

(3)

電子のサイクロトン運動により、ガス分子が活性化され高密度のプラズマが発生する。

ドーピングガスとして例えればアルシン(AsH_3)とヘリウムとの混合ガスを導入して、このプラズマ領域でイオン化された砒素を生成する。高周波電源56による試料電極14への高周波電圧の印加と、半導体基板16に向かって徐々に磁界強度が弱くなる発散磁界により、イオン化した不純物を半導体基板16に照射して溝の内周面に不純物を導入する。

しかしながらECRプラズマドーピング法では、ECRソース出口60のイオン電流値が2mA/cm程度であり、現状の6インチ半導体基板では、溝内周面への不純物導入に1枚あたり100秒程度の時間を要し、高速処理に対する対応は充分でない。さらに電磁石54の発散磁界を用いてイオンを加速しているため、半導体基板内で導入した不純物濃度に不均一が生じる。

〔発明の目的〕

本発明の目的は前述の課題を解決することであ

るにより、溝の側壁および底面に不純物導入を行なっている。しかしこの回転イオン注入法では溝のアスペクト比が大きくなるにしたがい、イオンビームと半導体基板表面とのなす角度が垂直に近づき溝内への不純物導入が困難になる。

そこで例えば電子材料(工業調査会発行)の1987年12月号の第103頁から第108頁に記載の、マイクロ波電子サイクロトン共鳴(以下ECRと記す)プラズマドーピング法を用いて、溝の側壁および底面に不純物を導入する方法が提案されている。

このECRプラズマドーピング法を第5図のECRプラズマドーピング装置の側面配置を示す説明図を用いて説明する。

リング状の電磁石54により真空室22に共鳴磁場(875ガウス)を作り出す。この電磁石54は試料電極14に向かって徐々に磁界強度が弱くなる発散磁界を構成している。この磁界下に上部のマイクロ波導波管58より2.45GHzのマイクロ波を印加する。このとき真空室22内では

(4)

り、溝の側壁および底面の内周面への不純物導入を高速処理で、しかも均一不純物濃度で半導体基板に不純物導入が可能な不純物導入方法を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するため本発明の不純物導入方法においては下記の方法を用いる。

プラズマを形成するためのビーム状のプラズマを発生するプラズマビーム源とこのプラズマビーム源に対して正の電圧が印加され、かつプラズマビーム源に対して対向配置する対向電極とプラズマを薄い板状のプラズマ領域に整形する手段と対向電極に対して負の電圧が印加されかつ板状のプラズマ領域と平行に配置する試料電極とドーピングガスを導入するためのガス導入口と排気系とを備えた真空室内の試料電極上に半導体基板を配置し、排気系により真空室内を真空排気した後、プラズマビーム源と対向電極との間に薄い板状のプラズマ領域を形成して、ドーピングガスをガス導入口から真空室内に導入し、さらに半導体基板に

(5)

—78—

(6)

所定の電圧を印加することにより半導体基板に不純物を導入する。

[実施例]

以下図面を用いて本発明の実施例を説明する。

第1図(a)および第1図(b)は本発明における不純物導入に用いる装置を示し、第1図(a)は装置要部断面の側面配置を示す説明図、第1図(b)は装置要部断面の平面配置を示す説明図である。

第2図は本発明の不純物導入に用いるプラズマビーム源を示す断面図である。

以下第1図(a)、第1図(b)および第2図を交互に参照して説明する。

真空室22の壁面にビーム状のプラズマを発生するプラズマビーム源10と永久磁石44とを設け、さらにプラズマビーム源10に対して正の電圧が印加され、かつプラズマビーム源10と対向配置する水冷された対向電極12を設ける。このプラズマビーム源10と対向電極12との間にプラズマを発生させる。対向電極12の裏面には対向電極用永久磁石(図示せず)を配置して、この

(7)

御する。

ビーム状のプラズマを発生するプラズマビーム源10は第2図に示すように、水冷ボックス40の中心部を貫通してガス導入口を兼ねるタンタルパイプからなる補助陰極32と、円板状のランタンヘキサボロイド(LaB₆)からなる主陰極34と、タングステンからなる円板状の熱板36と、モリブデンからなる外筒42およびキャップ38と、中間電極30とから構成する。

プラズマの発生はまず真空室22内の圧力を排気系24により真空度 10^{-6} Torr程度に真空排気した後、補助陰極32を通して不活性ガス例えはアルゴンを導入して、補助陰極32と対向電極12との間で導入した不活性ガスを放電させる。このとき真空室22内の圧力は 10^{-3} Torr～ 10^{-4} Torrに保持する。

この放電により主陰極34のランタンヘキサボロイドがポンペードされることにより、主陰極34が加熱され高温になると、次に主陰極34と対向電極12との間の放電に移行する。

(9)

対向電極用永久磁石と真空室22外に設けた複数の集束コイル26との磁界により発生したプラズマを、対向電極12に集束させる。

さらにプラズマビーム源10の出口と真空室22との間に、磁石の同極を対向配置した一对の永久磁石44の反対磁界によりプラズマの厚さを圧縮して、広がりをもつ薄い板状に整形した破線20で示す高密度のプラズマ領域18を形成する。

すなわちプラズマを薄い板状に整形する手段としては、真空室22外に設ける複数の集束コイル26と、プラズマビーム源10の出口と真空室22の入口との間に設ける一对の永久磁石44とから構成する。

なおこの集束コイル26は真空室22内に配置しても良い。半導体基板16は薄い板状のプラズマ領域18とはほぼ平行に配置する試料電極14上面に載置する。このとき試料電極14は対向電極12に対して負電圧を印加する。この試料電極14に印加する電圧は、プラズマビーム源10と対向電極12との間に印加する電圧とは独立に制

(8)

このとき中間電極30では磁界によりプラズマを細く絞り込み中間電極30の開口部を内径数mm程度としているため、真空室22は高真空中にもかかわらず主陰極34の近傍は、低真空中に保持される。このため高温の主陰極34から多量の熱電子が放出され続け、大放電電流が維持される。この熱電子放出源としては、円板状の主陰極のかわりにコイル状のランタンヘキサボロイドなどを用いても良い。

第1図(a)および第1図(b)に示す複数の集束コイル26と、対向電極12の裏面に配置する対向電極用永久磁石(図示せず)と、プラズマビーム源10出口に配置する永久磁石44により形成される磁場の作用で、プラズマビーム源10と対向電極12との間に高密度で広がりをもつ板状のプラズマ領域18が形成される。

半導体基板に形成した溝の内周面への不純物の導入は、ガス導入口28から真空室22内にドーピングガスとして例えはn型の不純物であれば不活性ガス希釈のアルシン(A₃H₈)、フォスフ

—79—

(10)

ィン (P.H.) など、p型の不純物であれば不活性ガス希釈のジボラジ (B.I.R.) などを導入する。このドーピングガスはプラズマ領域 18 でイオン化され不純物イオンとなる。この不純物イオンは対向電極 12 に対して所定の負電圧が印加された試料電極 14 上の半導体基板 16 に衝突して、溝の側壁および底面に不純物が導入される。

前述のように真空室 22 内の真空中度が 10^{-3} Torr ~ 10^{-4} Torr と高真空であるため、不純物イオンの平均自由行程が大きくなり、大きなアスペクト比を有する溝の側壁および底面に不純物が導入される。

このとき半導体基板 16 に衝突する不純物イオンの加速電圧とは独立にプラズマ状態は、プラズマビーム源 10 と対向電極 12との間に印加する電圧で制御することができる。

プラズマビーム源 10 からの多量の熱電子放出と、プラズマビーム源 10 の出口に配置した永久磁石 44 の反発磁界によりプラズマを圧縮して高密度でしかも均一なプラズマ領域 18 を形成して

(1)

プラズマ領域 18 は垂直方向に広がりをもつ板状に整形する。半導体基板 16 はプラズマ領域 18 と平行にかつこのプラズマ領域 18 を挟むように垂直に配置する複数の試料電極 14 上に載置することにより、同時に複数枚の半導体基板 16 への不純物導入処理を行なう。またプラズマ領域は水平に広がりをもつ板状に整形して、このプラズマ領域の上下にそれぞれ試料電極を配置しても良い。

以上半導体基板に形成した溝の側壁および底面に不純物を導入する例で説明したが、厳密なイオン注入量を必要としない例えは MOS トランジスタにおけるソースドレイン領域形成、あるいは MOS トランジスタにおける多結晶シリコンからなるゲート電極への不純物導入、あるいはバイポーラトランジスタにおけるエミッタ領域形成などにも、本発明の不純物導入方法は適用することが可能である。

[発明の効果]

以上の説明で明らかのように、高密度でしかも

いるため、半導体基板 16 上で 5 mA/cm^2 ~ 100 mA/cm^2 という高いイオン電流値と均一なイオン電流分布が得られる。このため半導体基板への不純物導入処理が、基板内にて均一な不純物濃度でしかも従来例の ECR プラズマドーピング法に比べ 10 倍以上の高速で可能となる。

溝開口部の大きさおよび溝深さの溝形状に応じて、試料電極 14 に印加する電圧と、真空室 22 の真空中度を変えることにより、溝の底面および側壁に均一に不純物を導入することができる。また不純物濃度は処理時間、ドーピングガス流量、不活性ガスによるドーピングガス希釈度などにより制御することができる。

また通常のイオン注入法と異なり、試料電極 14 に印加する電圧を極めて低くしても不純物導入が可能であり、試料基板にプラズマ照射損傷を与えることなく不純物を導入することができる。

第 3 図は不純物導入のための装置の他の実施例における装置要部断面の平面配置を示す説明図である。

(2)

均一なイオン電流分布をもつ薄い板状のプラズマ領域と平行に半導体基板を配置することにより、半導体基板への不純物導入が高速処理でそのうえ均一な不純物濃度で可能となる。

また半導体基板に印加する電圧が極めて低くても不純物導入が可能であり、半導体基板にプラズマ照射損傷を与えることなく不純物を導入することができる。

4. 図面の簡単な説明

第 1 図(a)は本発明における不純物導入に用いる装置要部断面の側面配置を示す説明図、第 1 図(b)は本発明における不純物導入に用いる装置要部断面の平面配置を示す説明図、第 2 図は本発明における不純物導入に用いるプラズマビーム源を示す断面図、第 3 図は本発明における不純物導入に用いる他の装置要部断面の平面配置を示す説明図、第 4 図はトレンチキャバシタを説明するための断面図、第 5 図は従来例における ECR プラズマドーピング装置を示す説明図である。

10 …… プラズマビーム源、

(3)

(4)

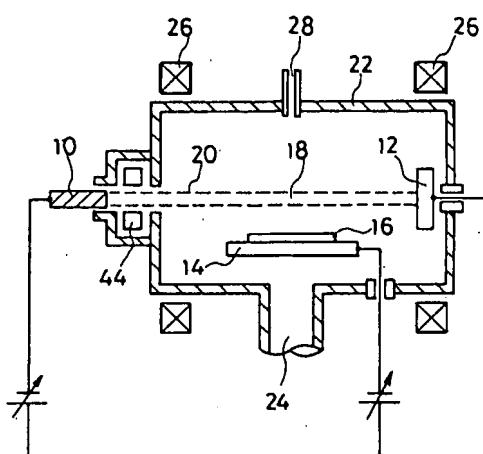
- 1 2 …… 对向電極、
 1 4 …… 試料電極、
 1 6 …… 半導体基板、
 1 8 …… プラズマ領域、
 2 2 …… 真空室。

特許出願人 シチズン時計株式会社



第1図

(a)

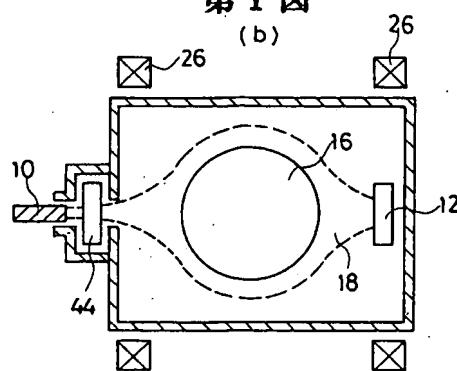


10. フラズマビーム源
 12. 対向電極
 14. 試料電極
 16. 半導体基板
 18. フラズマ領域
 22. 真空室

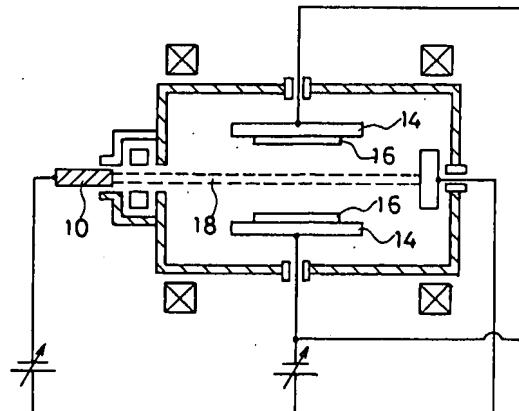
(b)

第1図

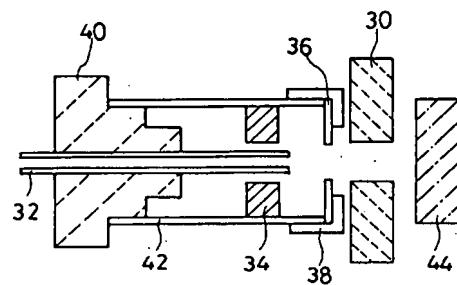
(b)



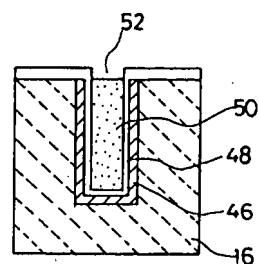
第3図



第2図



第4図



第 5 図

